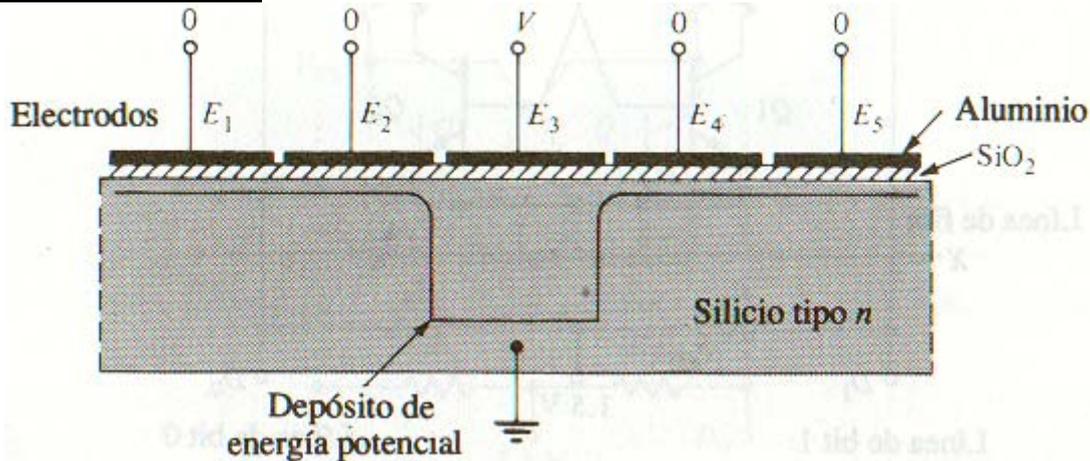


## 10 SISTEMAS INTEGRADOS

### 10.1 CCD - DISPOSITIVOS ACOPLADOS EN CARGA [3]

Un MOSFET diseñado con un canal extraordinariamente largo y con muchos electrodos alrededor de 1000 ó puertas estrechamente espaciadas entre Fuente y Drenaje puede funcionar como memoria en serie o como registrador de desplazamiento. Cada electrodo de puerta forma con el sustrato un condensador MOS que puede almacenar carga. Por ejemplo si se aplica una lógica 1 a la fuente, una carga será almacenada por el condensador más próximo a la fuente, supuesto que se aplique una tensión adecuada a la primera puerta  $E_1$ . Si se elimina de  $E_1$  esta tensión y al mismo tiempo se aplica a  $E_2$  aquella carga se desplazara a  $E_2$ . Repitiendo este proceso la carga se transfiere de condensador en condensador por lo que a esta configuración se le denomina *dispositivo acoplado en carga CCD*. Con estos dispositivos se pueden construir registradores de desplazamiento y memorias en serie de gran densidad. Teniendo las memorias en serie un uso mas limitado que la RAM, los CCD no se emplean mucho como elementos de memoria en sistemas digitales. Sin embargo se encuentran en el procesado de imágenes y en sistemas de procesado de señales en los que su gran densidad en serie puede ser una condición valiosa. Como el procesado de imágenes y de señales digitales abarca una zona importante del control moderno, especialmente en robótica, y de la tecnología de las comunicaciones.

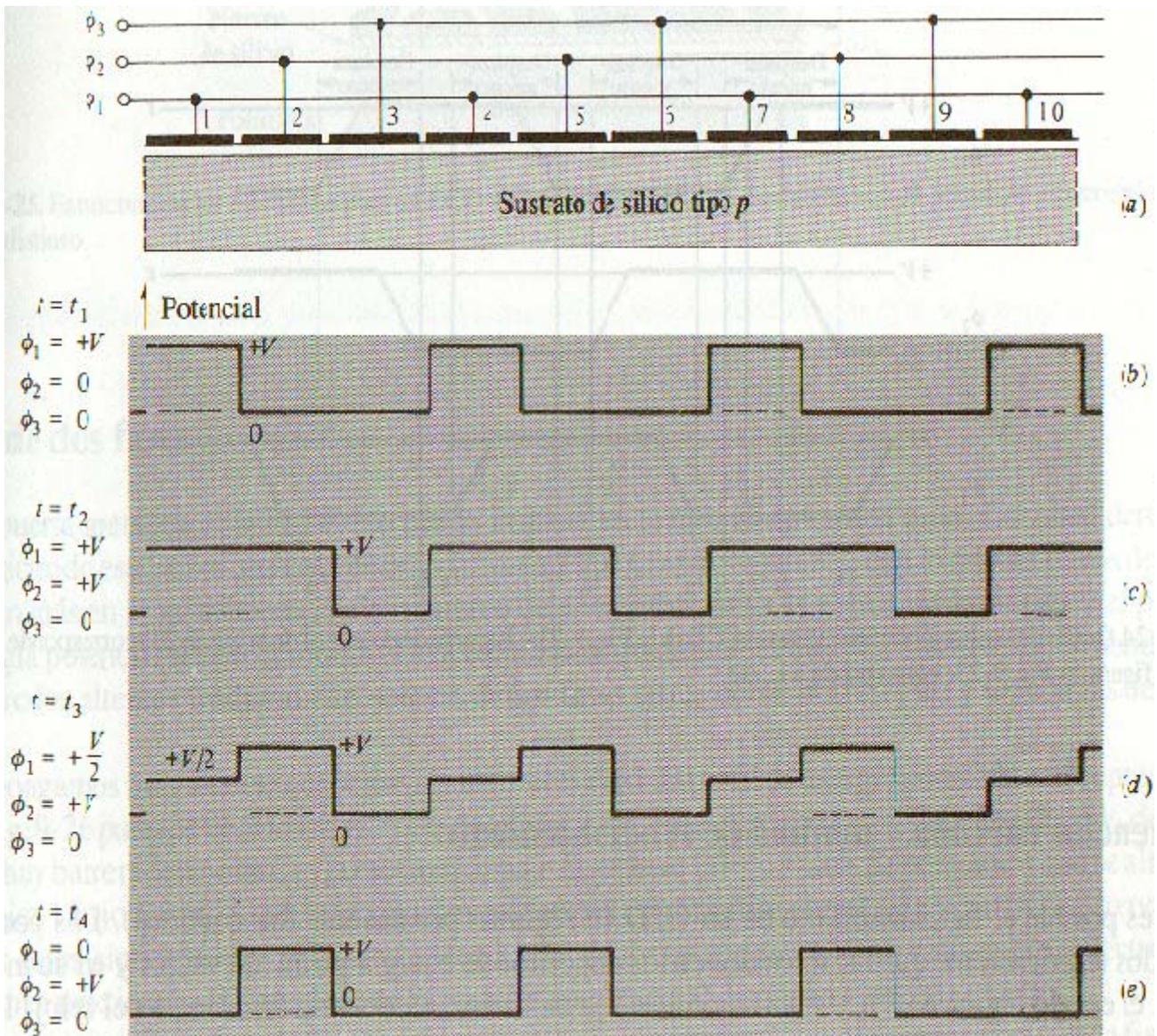
### 10.2 Funcionamiento Básico del CCD



**Figura N° 10.1 Estructura Simple CCD canal n, Sustrato p**

El "deposito de energía potencial se forma debajo de la puerta 3 si este electrodo esta con tensión positiva y todos los demás a la tensión del sustrato (tierra)

Para comprender mejor el funcionamiento del dispositivo descrito consideremos un sustrato de *tipo p* recubierto de una fina capa de oxido sobre la que se han depositado una serie de electrodos metálicos muy estrechamente espaciados, de los cuales se representan cinco en la **figura 10.1**. Para facilitar la explicación supongamos que la tensión umbral es cero y que no hay electrones presentes. Consideremos la situación **figura 10.1** cuando la tensión en la puerta 3 es  $+V$  y todos los electrodos están a tierra. Esta tensión positiva repele los huecos del sustrato debajo de  $E_3$  que se desplaza hacia abajo separándose de  $SiO_2$ . En consecuencia quedan expuestos iones negativos inmóviles formándose una región de deflexión debajo de  $E_3$ . Las líneas del campo eléctrico se extienden desde el electrodo cargado positivamente, y a través del dieléctrico hasta la región de deflexión y a las cargas inmóviles negativas. El perfil de potencial: la variación de tensión en función de la distancia paralelamente a la superficie del oxido, es el representado en la **figura 10.1** que a su vez representa también la barrera de energía potencial "deposito" de los electrones, que son los portadores minoritarios. Si en la región debajo de  $E_3$  se introduce un grupo de electrones, estas cargas se pueden mover libremente en el deposito pero no cruzar su pared de energía potencial. Mientras exista la tensión  $+V$  las cargas negativas no pueden escapar quedando retenidas debajo de  $E_3$  cerca de la superficie del canal. Consideremos ahora como la carga almacenada se desplaza de izquierda a derecha bajo el canal, desplazándose los bits binarios a lo largo de este registrador de desplazamiento. Veamos la estructura de la **figura 10.2(a)** consistente en 10 placas estando unidos entre sí cada tres electrodos. Si en el momento  $t = t_1$  las tensiones son  $\Phi_1 = +V$ ;  $\Phi_2 = \Phi_3 = 0$  entonces tal como indica la **figura 10.2(b)** se forman depósitos de energía potencial, como en la **figura 10.1**, debajo de los electrodos 1, 4, 7 y 10.



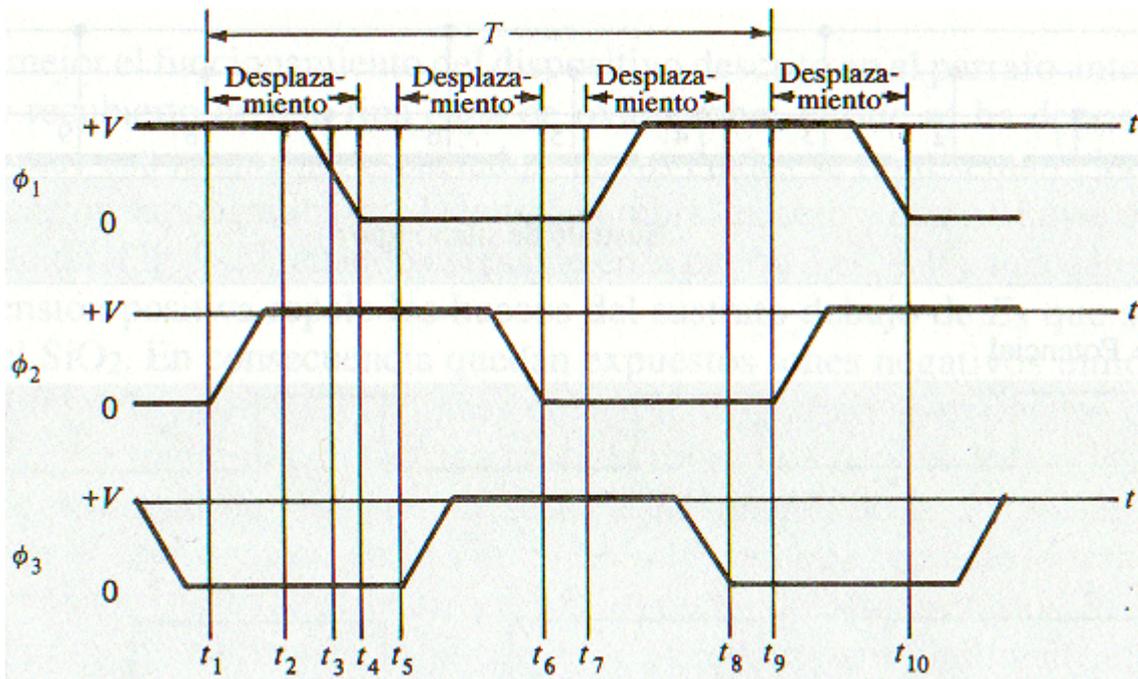
**Figura N° 10.2 Transferencia de Carga CCD**

(a) Cada tres electrodos alternados están a la misma tensión, aplicándose las tensiones trifásicas  $\Phi_1, \Phi_2$  y  $\Phi_3$ .

(b) (c) (d) (e) Variaciones del perfil de tensión durante el intervalo de un desplazamiento.

La energía potencial para carga negativa es proporcional a la tensión, y por tanto estas curvas representan también los depósitos de energía potencial de los electrones.

Los signos menos indican esquemáticamente que la carga se almacena cerca de la superficie debajo de  $E_1, E_7$  y  $E_{10}$  pero no debajo de  $E_4$  lo que indica que se ha entrado la información digital 1011 en el CCD. En el instante  $t = t_2$  la tensión  $\Phi_2$  pasa a  $+V$  pero  $\Phi_1$  y  $\Phi_3$  mantienen su valor anterior. El perfil de potencial queda alterado como en la **figura 10.2(c)**. La carga almacenada queda ahora compartida entre dos electrodos adyacentes debido a la difusión de los electrones del depósito original al nuevo que se ha formado. Poco después de haberse establecido la situación de la **figura 10.2(c)**,  $|\Phi_1|$  empieza a menguar, y en el momento  $t = t_3$   $\Phi_1 = +V/2$  mientras que  $\Phi_2$  y  $\Phi_3$  no varían. El perfil de potencia en  $t_3$  es el de la **figura 10.2(d)**. El campo eléctrico deformado por las diferencias de tensión entre  $\Phi_1$  y  $\Phi_2$  desplaza los electrones al depósito más profundo. Finalmente cuando  $t = t_4$  y  $\Phi_1 = 0$ ,  $\Phi_2 = +V$  y  $\Phi_3 = 0$  el perfil de potencial será el de la **figura 10.2(e)**. Como resultado de estos cambios secuenciales de tensión la disposición inicial de carga almacenada (1011) se ha desplazado un electrodo hacia la derecha como se ve claramente comparando las **figuras 10.2(b) y 10.2(e)**. La secuencia descrita representa una transferencia de un electrodo al siguiente del registrador de desplazamiento CCD. Ya que se necesitan tres tensiones se necesitarán también relojes de tres fases. Las ondas  $\Phi_1, \Phi_2$  y  $\Phi_3$  necesarios para concordar con los perfiles de la **figura 10.2** vienen dadas en la **figura 10.3**, en la que también se indican los tiempos  $t_1, t_2, t_3$ , y  $t_4$  de la figura anterior. Obsérvese que en  $t_1$  de la **figura 10.3**,  $\Phi_1 = +V$ ,  $\Phi_2 = 0$ ,  $\Phi_3 = 0$  como en la **figura 10.2**; en  $t_2$ ,  $\Phi_1 = +V$ ;  $\Phi_2 = +V$ ;  $\Phi_3 = 0$  en ambas figuras etc. La primera transferencia tiene lugar entre  $t_1$  y  $t_4$ , la segunda entre  $t_5$  y  $t_6$ , la tercera entre  $t_7$  y  $t_8$ , la cuarta entre  $t_9$  y  $t_{10}$ .



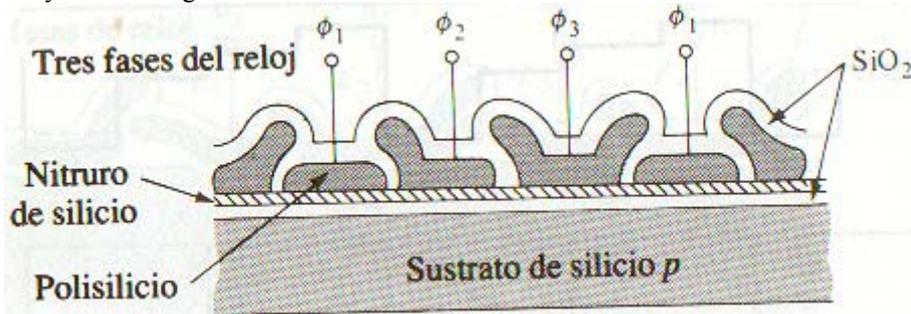
**Figura N° 10.3 Ondas de excitación trifásica para el CCD de la figura 10.2(a)**

El perfil de potencial de la figura 10.2(b) corresponde al instante  $t_1$  de esta figura; la figura 10.2(c) corresponde a  $t_2$ , etc.

Evidentemente en cada ciclo de entrada de periodo  $T$  tienen lugar tres desplazamientos, Durante el intervalo entre desplazamientos: por ejemplo entre  $t_4$  y  $t_5$ , la tensión del reloj se mantiene constante y el perfil de potencial inalterado.

**10.2.1 Electrodo por Bit**

En la **figura 10.2(b)** se claró que si se sitúa un bit lógico debajo de un electrodo no se podrá almacenar información alguna bajo los dos electrodos siguientes, o dicho de otra forma, una célula de almacenado consta de tres electrodos, almacenándose en ella un bit. En este CCD el número de *electrodos por bit* es tres  $E/B = 3$ . La información se lee a la salida, es decir el electrodo 10, en el que en el instante  $t = t_1$  existe un 1. Según la **figura 10.2** se requieren tres desplazamientos antes de que el siguiente bit: el 1 almacenado bajo el electrodo 7, puede ser detectado. Después de tres transferencias el 0 bajo la puerta 4 aparecerá en la salida. Puesto que durante el periodo  $T$  se producen tres desplazamientos, la información deberá ser leída ó escrita a razón de una por ciclo de la onda de entrada. En el razonamiento anterior se ha supuesto para simplificar que la tensión umbral  $V_T$  es despreciable. En realidad todos los niveles señalados 0 en la **figura 10.2 v 10.3** deben estar a una tensión por encima de  $V_T$  para que el campo eléctrico penetre en el canal y forme la región de deflexión. La frecuencia de funcionamiento esta entre 10 KHz a 1 MHz.



**Figura N° 10.4 Estructura de los electrodos para un CCD trifásico de canal n.**

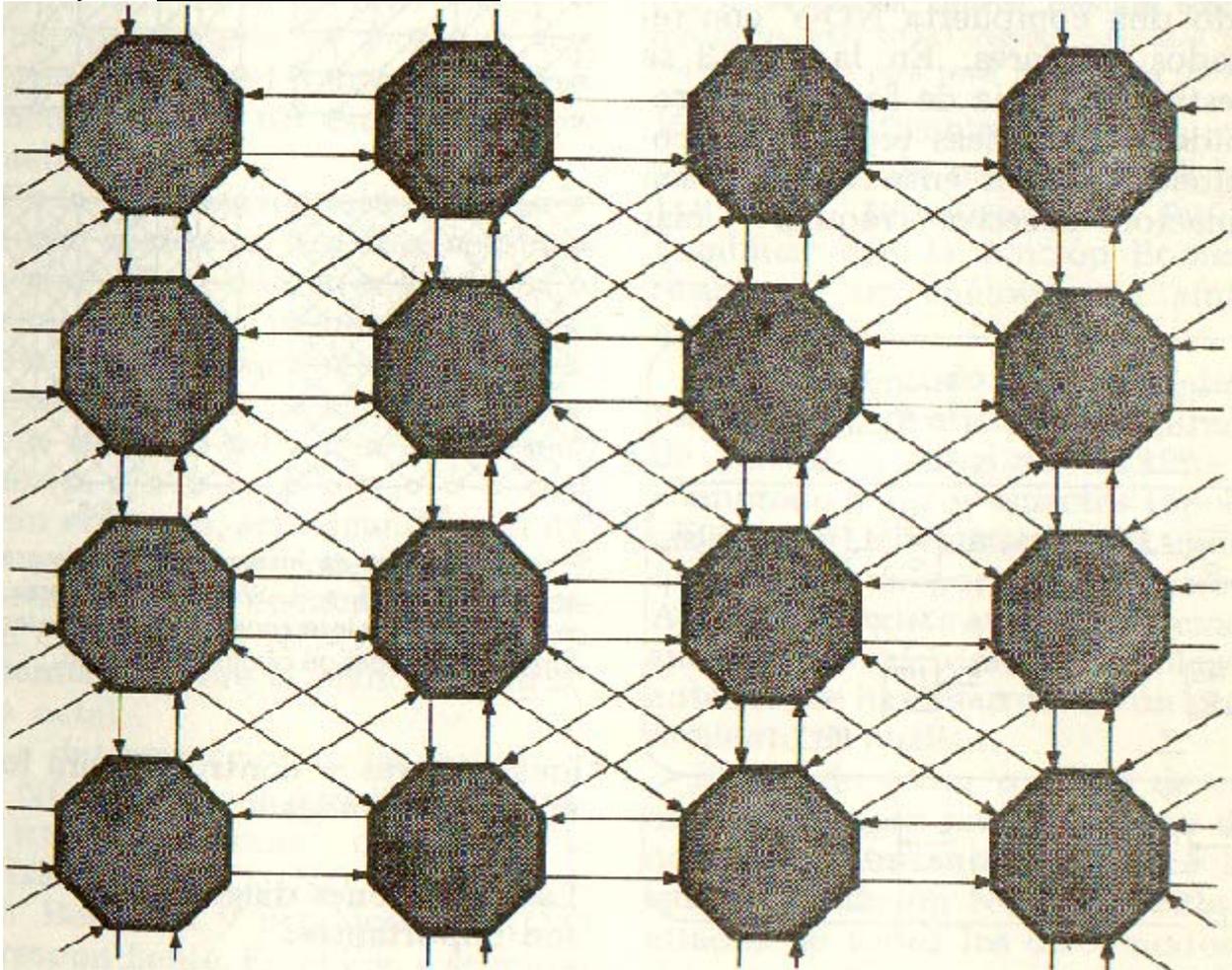
Los electrodos son de polisilicio -n, teniendo cada uno un perfil distinto.

**10.3 ESTRUCTURAS CCD**

Un CCD no puede formarse a base de componentes discretos ya que se necesita un canal continuo y único para establecer el acoplamiento entre las regiones de deplexion. Las puertas **figura 10.2** deben distar muy poco entre sí al rededor de  $1 \mu m$ , para proporcionar este acoplamiento, y esta separación tan pequeña es difícil de realizar prácticamente. Para eludir las dificultades de fabricación se han desarrollado algunas estructuras alternativas con puertas de polisilicio y metálicas. Una de tales estructuras de electrodos de polisilicio esta representado en la **figura 10.4** para un CCD de tres fases de *canal n*. Esta estructura de electrodos planos emplea puertas solapadas de distintos perfiles. Muchos de estos CCD se fabrican dispuestos en filas paralelas entre sí para cubrir la superficie del chip. Con una separación mínima entre filas de 2 a 3  $\mu m$ , esta célula de tres electrodos ocupa una pequeña parte de la superficie del chip para cada bit. Las estructuras de electrodos planos **figura 10.2 v 10.4** necesitan relojes de tres fases para transferir cargas longitudinalmente en una sola dirección. La construcción de electrodos no planos permite emplear relojes de dos fases que solo necesitan dos electrodos por bit.

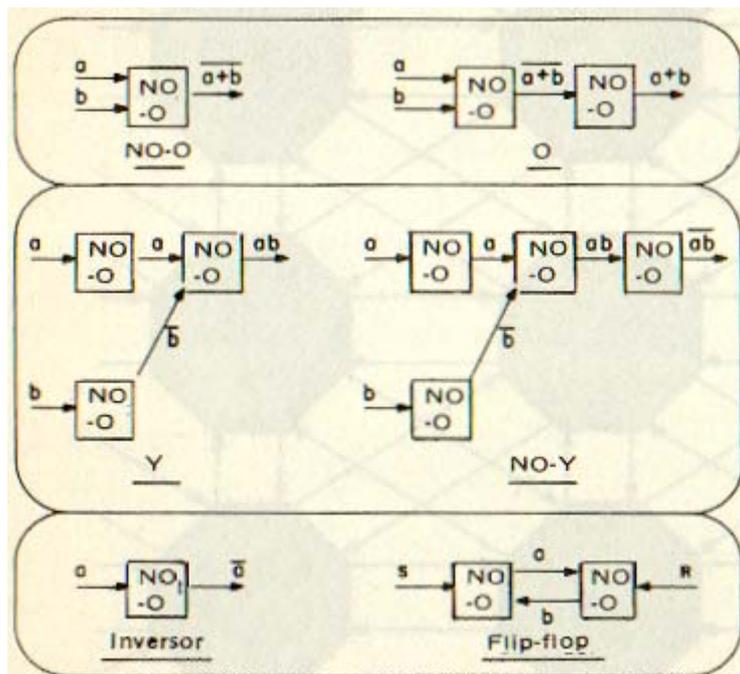
**10.4 FORMACIONES LOGICAS [14]**

Los arreglos lógicos modificables son una posible respuesta a que podemos poner en una pastilla. Un arreglo modificable es un ordenamiento repetitivo de dispositivos idénticos que por interconexión se pueden organizar en forma de contadores, registros de desplazamiento y otros subsistemas de computadoras.



**Figura N° 10.5 La Disposición Octal**

permite la conexión de cualquier elemento a su próxima horizontal, vertical o diagonal.



**Figura N° 10.6 Los Elementos de Compuerta NO-O**

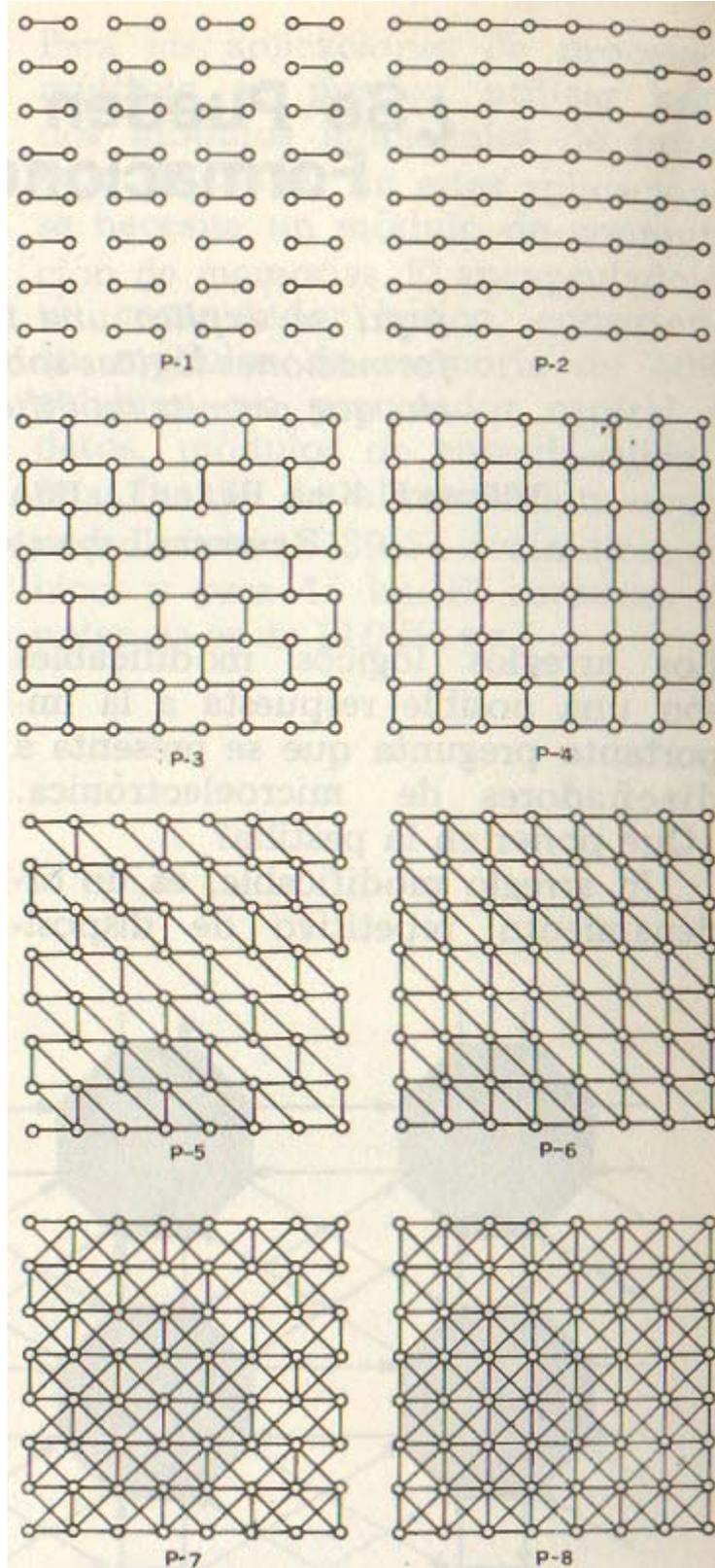
se pueden combinar para formar las funciones necesarias para todas las operaciones lógicas.

La estructura de proximidad octal que se muestra en la **figura 10.5** es una formación de elementos lógicos idénticos en el cual cada elemento se puede conectar a otros 8 vecinos a él. Son posibles muchas configuraciones pero la red de proximidad octal ofrece la mayor flexibilidad. Cada celda o nodo de la red alimenta una salida controlada para sus 8 vecinos.

#### **10.4.1 Elementos Básicos de la Formación.**

El elemento básico usado es una compuerta NO-O con 8 conexiones de salida controladas.

Se eligió la compuerta NO-O debido a su simplicidad y a que por interconexión se puede formar cualquier función Booleana **figura 10.6**. Otro factor es que el elemento NO-O da un medio de desconectar lógicamente la salida de señal. Se pudo haber usado una compuerta NO-Y con resultados similares.



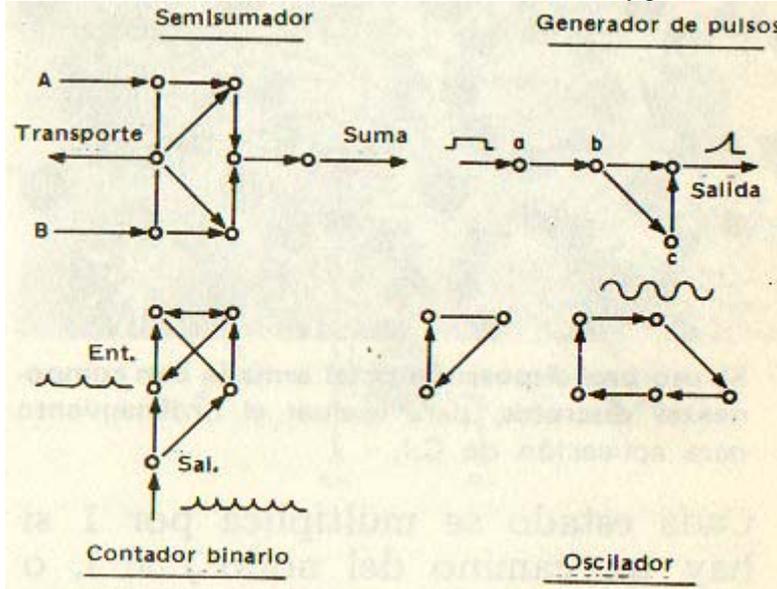
**Figura N° 10.7 Plantillas de Interconexión**

para arreglos de proximidad 1 a 8. Solo los superiores a P4 permiten obtener interconexiones diagonales para obtener longitudes de camino desiguales.

En la **figura 10.7** se muestra una serie de formas de proximidad. Las líneas representan conexiones posibles entre nodos. Cada formación sucesiva requiere mas áreas activas y controles para lograra mayor flexibilidad.

**10.4.1.1 Las Conexiones Diagonales son Importantes.**

En la disposición octal se puede generar cualquier función combinatoria (L.M. Spandorfer - J.V. Murphy "Logic Funcations as an Array of Integrated Circuits. UNIVAC Blue Pell, Pa, Contract AF 19, Scientific Report N° 1.). El proceso encuentra la realización con bloques NO-O y se sitúa sobre el plano de **estructura octal**. La determinación de las realizaciones NO-O se puede simplificar usando transformaciones que toman la realización Y, O, NO de una función Booleana y producen la NO-o correspondiente.



**Figura N° 10.8 Se pueden obtener circuitos oscilantes**

con compuertas NO-O usando longitudes de camino desiguales para tener retardos de tiempo.

En la **figura 10.8** se muestran algunos circuitos realizables con el concepto de disposición octal. En el **generador de pulsos** la propagación de la señal de *a,a-b*, es más rápida que entre *a-c-b*. El ancho del pulso de salida es igual a la diferencia entre retardos de los dos caminos de señal. El procedimiento de análisis parte de que el estado (cero o uno) de cualquier nodo *i* en una formación de *n* nodos, en el instante *t+1*;  $S^i_{t+1}$  es igual a la función NO-O de todos los estados de todos los otros nodos en el instante *t*.

$$S^i_{t+1} = \left( a \cdot S^j_t + b \cdot \frac{k}{t} + c \cdot S^l_t \dots \right)$$

Cada estado se multiplica por 1 si hay un camino del nodo *j* al *i*, ó cero si no existe. El coeficiente (a, b, c,.....) es 1 si existe conexión, cero en caso contrario. Se introducen limitaciones topológicas especificando que coeficientes pueden ser 1.

En forma de matriz:

$$[S^+_{t+1}] = [A] \cdot [S_t]$$

donde el punto significa que se multiplica según la siguiente regla:

$$s^{ij}_{t+1} = a_{i1} \cdot s_{1j} + a_{i2} \cdot s_{2j} + \dots + a_{in} \cdot s_{nj} = (\text{fila } i \text{ de } A) \times (\text{columna } j \text{ de } S_t)$$

Por lo tanto [A] es la matriz de los coeficientes a, b, c, donde  $a_{i,j} = 1$  si hay una conexión del nodo *j* al *i*. [St] es la matriz  $n \times 2^n$  de los estados presentes posibles: los números binarios desde cero a  $2^n - 1$  son las  $2^n$  columnas.  $S_{t+1}$  es la matriz  $n \times 2^n$  de los estados próximos o sea, las columnas son los estados de los nodos en el instante *t + 1*.

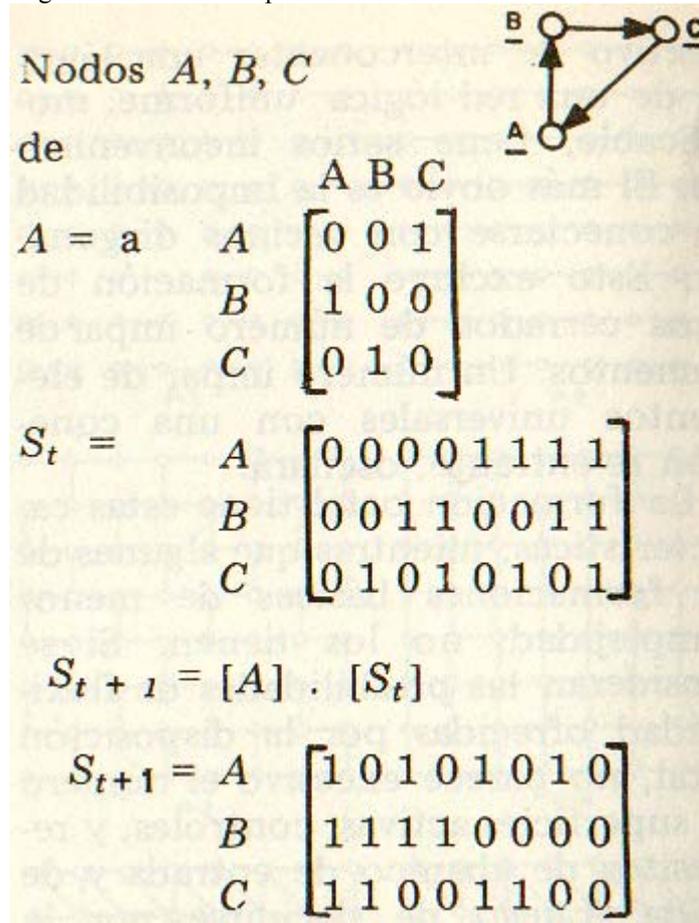
**Ejemplo:** Nodos A, B, C Ver matriz en Figura 10.9

En otras palabras si los nodos  $A = 0$  ;  $B = 1$  ;  $C = 1$  en el instante *t*, será  $A=0$  ;  $B=1$  ;  $C=0$ , en *t+1*; debe notarse que este modelo supone que todos los nodos conmutan al mismo tiempo, con tiempos de crecimiento y caída nulos. Este método de análisis es aplicable a cualquier región de proximidad. Cualquier otro tipo de nodo tal como el NO-Y se puede tratar de manera similar.

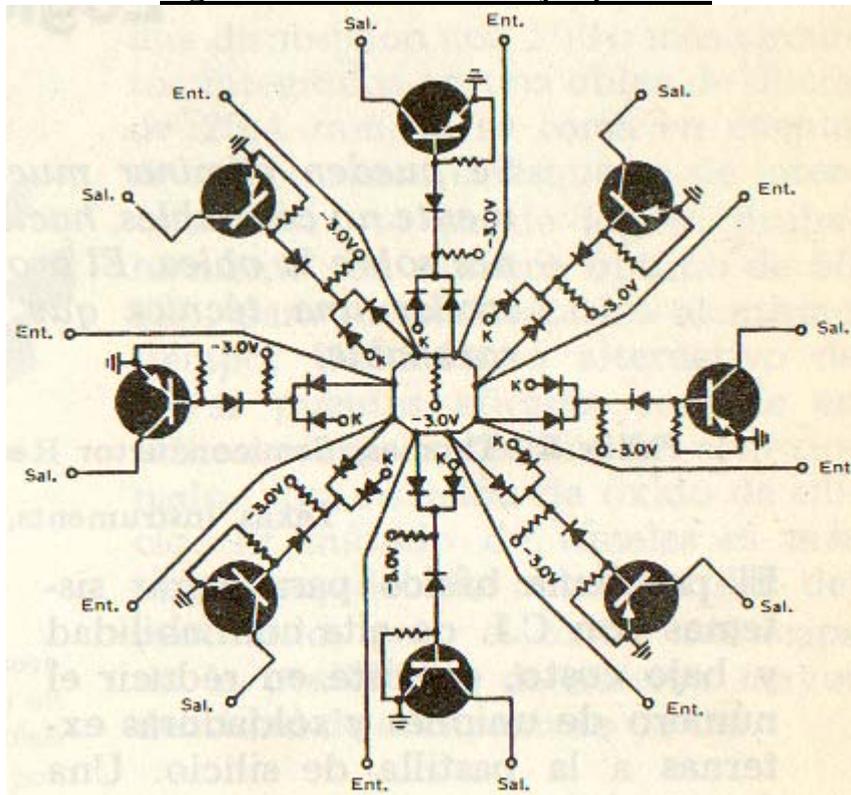
**10.4.1.2 Modelos para Ensayar las Formaciones.**

En la **figura 10.10** se muestra una célula octal usada para desarrollar un modelo operativo, ordenado para obtener la forma ortogonal del elemento. Las ocho entradas están conectadas a un solo resistor de carga. Las salidas de colector de los ocho elementos vecinos que no se muestran, están conectadas a esa entrada. Esta línea cortocircuitada hace que las señales de entrada cumplan con la función OR. El diodo de entrada y de control K, realiza otra función O, que controla la conexión de señal. La salida es un cero, mientras la entrada de control sea un 1. Esto desconecta lógicamente dicha salida. Si la entrada de control es un cero, la señal entra, y luego de invertirse en el transistor de salida, queda completa la función NO-O. Inicialmente se usaron llaves basculantes en el modelo, para poner 0 ó 1 en la entrada de control. También se usa como control un arreglo de dispositivos fotosensibles de silicio *pnpn*. Los

laboratorios RCA desarrollaron un elemento octal con transistores MOS con ayuda de los laboratorios de investigación de la fuerza aérea de Cambridge **figura 6**. Se integraron 16 MOSTEC para formar la unidad.

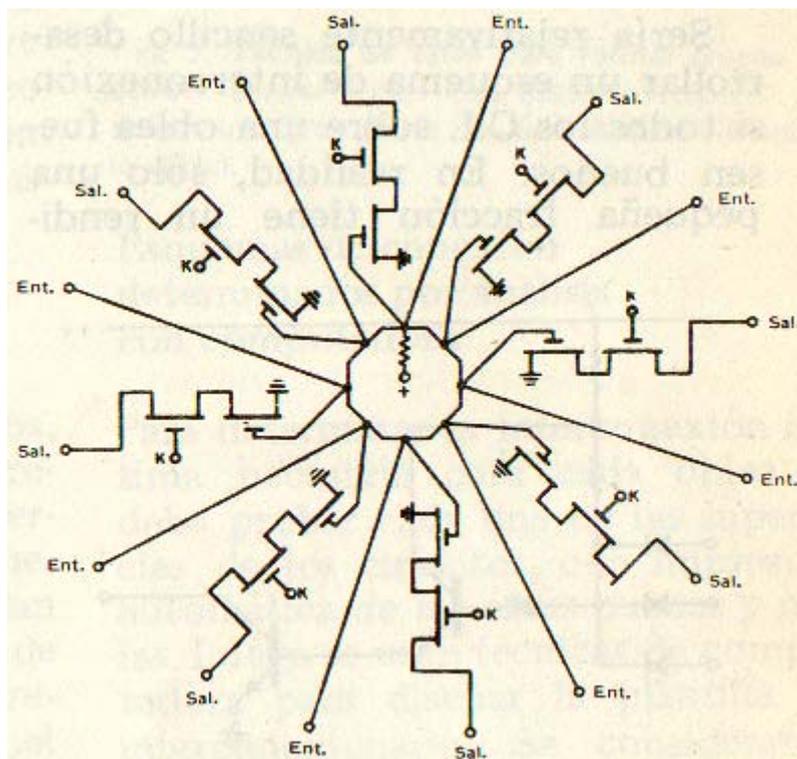


**Figura N° 10.9 Matriz del Ejemplo dado**



**Figura N° 10.10 Disposicion de Celulas Octal**

usada para desarrollar un prototipo que tiene todas las entradas conectadas a un registro de carga comun.



**Figura N° 10.11 Equivalente con TEC**

de la célula de la figura 10.10, se ve la simplificación obtenida en el circuito.

---